

ELEMENT SUBSTRATE, LIGHT EMITTING DEVICE AND DRIVING METHOD OF LIGHT EMITTING DEVICE

Patent number: JP2004361424 (A)

Publication date: 2004-12-24

Inventor(s): YAMAZAKI SHUNPEI; SAKAKURA MASAYUKI; OSAME MITSUAKI; HAMADA TAKASHI; TAKANO TAMAE; YAMAZAKI MASARU; ANZAI AYA +

Applicant(s): SEMICONDUCTOR ENERGY LAB +

Classification:

- international: G09F9/30; G09G3/20; G09G3/30; G09G3/32; G11C7/00; H01L21/77; H01L27/32; H01L51/50; H05B33/14; G09F9/30; G09G3/20; G09G3/30; G09G3/32; G11C7/00; H01L21/70; H01L27/28; H01L51/50; H05B33/14; (IPC1-7): G09F9/30; G09G3/20; G09G3/30; H05B33/14

- european: G09G3/32A12; G09G3/32A14V; G09G3/32A8C; H01L21/77T; H01L27/32M2

Application number: JP20030139590 20030516

Priority number(s): JP20030139590 20030516; JP20030075462 20030319; JP20030108357 20030411

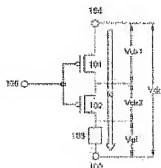
Also published as:

US2004252565 (A1)

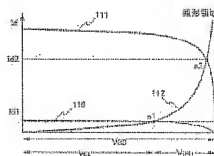
Abstract of JP 2004361424 (A)

PROBLEM TO BE SOLVED: To provide a light emitting device in which dispersion in luminance of light emitting elements between pixels caused by differences in characteristics among TFT is suppressed and reduction in luminance of the light emitting elements associated with deterioration of electric field light emitting materials and generation of luminance dispersion are suppressed, to provide a driving method of the light emitting device and to provide an element substrate. ; **SOLUTION:** In the light emitting device, a light emitting element and first and second transistors which control the current to be supplied to the light emitting element are provided for a pixel. The first transistor is normally on and the second transistor is normally off. The channel length of the first transistor is longer than its channel width. The channel length of the second transistor is equal to or shorter than its channel width. Gate electrodes of the first and the second transistors are mutually connected. The first and the second transistors have same polarities and the light emitting element, the first and the second transistors are serially connected. ; COPYRIGHT: (C)2005,JPO&NCIPI

(A)



(B)



【特許請求の範囲】

【請求項1】

発光素子と、前記発光素子に供給される電流を制御する第1及び第2のトランジスタとを画素に有する発光装置であって、

前記第1のトランジスタの閾値電圧は、前記第2のトランジスタの閾値電圧よりも高く、

前記第1のトランジスタはそのチャネル長がチャネル幅より長く、

前記第2のトランジスタはそのチャネル長がチャネル幅と同じかそれより短く、

前記第1及び第2のトランジスタはゲート電極が互いに接続されており、

前記第1及び第2のトランジスタは極性が共にp型であり、

前記発光素子、前記第1のトランジスタ及び前記第2のトランジスタは全て直列に接続されていることを特徴とする発光装置。 10

【請求項2】

発光素子と、前記発光素子に供給される電流を制御する第1及び第2のトランジスタとを画素に有する発光装置であって、

前記第1のトランジスタの閾値電圧は、前記第2のトランジスタの閾値電圧よりも低く、

前記第1のトランジスタはそのチャネル長がチャネル幅より長く、

前記第2のトランジスタはそのチャネル長がチャネル幅と同じかそれより短く、

前記第1及び第2のトランジスタはゲート電極が互いに接続されており、

前記第1及び第2のトランジスタは極性が共にn型であり、

前記発光素子、前記第1のトランジスタ及び前記第2のトランジスタは全て直列に接続されていることを特徴とする発光装置。 20

【請求項3】

発光素子と、前記発光素子に供給される電流を制御する第1及び第2のトランジスタとを画素に有する発光装置であって、

前記第1のトランジスタはノーマリーオンであり、

前記第2のトランジスタはノーマリーオフであり、

前記第1のトランジスタはそのチャネル長がチャネル幅より長く、

前記第2のトランジスタはそのチャネル長がチャネル幅と同じかそれより短く、

前記第1及び第2のトランジスタはゲート電極が互いに接続されており、

前記第1及び第2のトランジスタは極性が同じであり、

前記発光素子、前記第1のトランジスタ及び前記第2のトランジスタは全て直列に接続されていることを特徴とする発光装置。 30

【請求項4】

発光素子と、前記発光素子に供給される電流を制御する第1及び第2のトランジスタと、ビデオ信号の入力を制御する第3のトランジスタとを画素に有する発光装置であって、

前記第1のトランジスタはノーマリーオンであり、

前記第2のトランジスタはノーマリーオフであり、

前記第1のトランジスタはそのチャネル長がチャネル幅より長く、

前記第2のトランジスタはそのチャネル長がチャネル幅と同じかそれより短く、

前記第1及び第2のトランジスタはゲート電極が互いに接続されており、

前記第3のトランジスタがオンになることで入力されるビデオ信号が、前記第1及び第2のトランジスタのゲート電極に与えられるように、前記第3のトランジスタと前記第1及び第2のトランジスタとが接続されており、 40

前記第1及び第2のトランジスタは極性が同じであり、

前記発光素子、前記第1のトランジスタ及び前記第2のトランジスタは全て直列に接続されていることを特徴とする発光装置。

【請求項5】

発光素子と、前記発光素子に供給される電流を制御する第1及び第2のトランジスタと、ビデオ信号の入力を制御する第3のトランジスタと、電源電位の供給を制御する第4のトランジスタとを画素に有する発光装置であって、

前記第1のトランジスタはノーマリーオンであり、
前記第2のトランジスタはノーマリーオフであり、
前記第1のトランジスタはそのチャネル長がチャネル幅より長く、
前記第2のトランジスタはそのチャネル長がチャネル幅と同じかそれより短く、
前記第1及び第2のトランジスタはゲート電極が互いに接続されており、
前記第3のトランジスタがオンになることで入力されるビデオ信号が、前記第1及び第2
のトランジスタのゲート電極に与えられるように、前記第3のトランジスタと前記第1及び
第2のトランジスタとが接続されており、
前記第4のトランジスタがオンになることで、前記電源電位が前記第1及び第2のトラン
ジスタのゲート電極に供給されるように、前記第4のトランジスタと前記第1及び第2の
トランジスタとが接続されており、
前記電源電位は、前記第1のトランジスタまたは前記第2のトランジスタのいずれか一方
のソースに与えられており、
前記第1及び第2のトランジスタは極性が同じであり、
前記発光素子、前記第1のトランジスタ及び前記第2のトランジスタは全て直列に接続さ
れていることを特徴とする発光装置。

【請求項6】

請求項1乃至請求項5のいずれか1項において、
前記第1のトランジスタはそのチャネル幅に対するチャネル長の比が5以上であることを
特徴とする発光装置。

【請求項7】

画素電極と、前記画素電極に供給される電流を制御する第1及び第2のトランジスタとを
画素に有する素子基板であって、
前記第1のトランジスタの閾値電圧は、前記第2のトランジスタの閾値電圧よりも高く、
前記第1のトランジスタはそのチャネル長がチャネル幅より長く、
前記第2のトランジスタはそのチャネル長がチャネル幅と同じかそれより短く、
前記第1及び第2のトランジスタはゲート電極が互いに接続されており、
前記第1及び第2のトランジスタは極性が共にp型であり、
前記画素電極、前記第1のトランジスタ及び前記第2のトランジスタは全て直列に接続さ
れていることを特徴とする素子基板。

【請求項8】

画素電極と、前記画素電極に供給される電流を制御する第1及び第2のトランジスタとを
画素に有する素子基板であって、
前記第1のトランジスタの閾値電圧は、前記第2のトランジスタの閾値電圧よりも低く、
前記第1のトランジスタはそのチャネル長がチャネル幅より長く、
前記第2のトランジスタはそのチャネル長がチャネル幅と同じかそれより短く、
前記第1及び第2のトランジスタはゲート電極が互いに接続されており、
前記第1及び第2のトランジスタは極性が共にn型であり、
前記画素電極、前記第1のトランジスタ及び前記第2のトランジスタは全て直列に接続さ
れていることを特徴とする素子基板。

【請求項9】

画素電極と、前記画素電極に供給される電流を制御する第1及び第2のトランジスタとを
画素に有する素子基板であって、
前記第1のトランジスタはノーマリーオンであり、
前記第2のトランジスタはノーマリーオフであり、
前記第1のトランジスタはそのチャネル長がチャネル幅より長く、
前記第2のトランジスタはそのチャネル長がチャネル幅と同じかそれより短く、
前記第1及び第2のトランジスタはゲート電極が互いに接続されており、
前記第1及び第2のトランジスタは極性が同じであり、
前記画素電極、前記第1のトランジスタ及び前記第2のトランジスタは全て直列に接続さ

れていることを特徴とする素子基板。

【請求項10】

請求項7乃至請求項9のいずれか1項において、

前記第1のトランジスタはそのチャネル幅に対するチャネル長の比が5以上であることを特徴とする素子基板。

【請求項11】

発光素子に供給される電流を第1及び第2のトランジスタで制御する発光装置の駆動方法であって、

前記第1のトランジスタの閾値電圧は、前記第2のトランジスタの閾値電圧よりも高く、

前記第1のトランジスタはそのチャネル長がチャネル幅より長く、

前記第2のトランジスタはそのチャネル長がチャネル幅と同じかそれより短く、

前記第1及び第2のトランジスタはゲート電極が互いに接続されており、

前記第1及び第2のトランジスタは極性が共にp型であり、

前記発光素子、前記第1のトランジスタ及び前記第2のトランジスタは全て直列に接続されており、

前記第1のトランジスタは飽和領域で、前記第2のトランジスタは線形領域で動作することを特徴とする発光装置の駆動方法。

【請求項12】

発光素子に供給される電流を第1及び第2のトランジスタで制御する発光装置の駆動方法であって、

前記第1のトランジスタの閾値電圧は、前記第2のトランジスタの閾値電圧よりも低く、

前記第1のトランジスタはそのチャネル長がチャネル幅より長く、

前記第2のトランジスタはそのチャネル長がチャネル幅と同じかそれより短く、

前記第1及び第2のトランジスタはゲート電極が互いに接続されており、

前記第1及び第2のトランジスタは極性が共にn型であり、

前記発光素子、前記第1のトランジスタ及び前記第2のトランジスタは全て直列に接続されており、

前記第1のトランジスタは飽和領域で、前記第2のトランジスタは線形領域で動作することを特徴とする発光装置の駆動方法。

【請求項13】

発光素子に供給される電流を第1及び第2のトランジスタで制御する発光装置の駆動方法であって、

前記第1のトランジスタはノーマリーオンであり、

前記第2のトランジスタはノーマリーオフであり、

前記第1のトランジスタはそのチャネル長がチャネル幅より長く、

前記第2のトランジスタはそのチャネル長がチャネル幅と同じかそれより短く、

前記第1及び第2のトランジスタはゲート電極が互いに接続されており、

前記第1及び第2のトランジスタは極性が同じであり、

前記発光素子、前記第1のトランジスタ及び前記第2のトランジスタは全て直列に接続されており、

前記第1のトランジスタは飽和領域で、前記第2のトランジスタは線形領域で動作することを特徴とする発光装置の駆動方法。

【請求項14】

請求項11乃至請求項13のいずれか1項において、

前記第1のトランジスタはそのチャネル幅に対するチャネル長の比が5以上であることを特徴とする発光装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電流を発光素子に供給するための手段と発光素子とが、複数の各画素に備えら

10

20

30

40

50

れた発光装置及び該発光装置の駆動方法に関する。

【0002】

【従来の技術】

発光素子は自ら発光するため視認性が高く、液晶表示装置(LCD)に必要なバックライトを要らず薄型化に最適であると共に、視野角にも制限が無い。そのため近年、発光素子を用いた発光装置は、CRTやLCDに代わる表示装置として注目されている。なお、本明細書において発光素子は、電流または電圧によって輝度が制御される素子意味着であり、OLED(Organic Light Emitting Diode)や、FED(Field Emission Display)に用いられているMIM型の電子源素子(電子放出素子)等を含んでいる。

10

【0003】

なお発光装置とは、発光素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに本発明は、該発光装置を作製する過程における、発光素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を発光素子に供給するための手段を複数の各画素に備える。

【0004】

発光素子の1つであるOLED(Organic Light Emitting Diode)は、電場を加えることで発生するルミネッセンス(Electroluminescence)が得られる電界発光材料を含む層(以下、電界発光層と記す)と、陽極層と、陰極層とを有している。電界発光層は陽極と陰極の間に設けられており、単層または複数の層で構成されている。これらの層の中に無機化合物を含んでいる場合もある。電界発光層におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光(蛍光)と三重項励起状態から基底状態に戻る際の発光(リン光)とが含まれる。

20

【0005】

次に、一般的な発光装置の画素の構成とその駆動について簡単に説明する。図10に示した画素は、TFT80、81と、容量素子82と、発光素子83とを有している。TFT80は、ゲートが走査線85に接続されており、ソースとドレインが一方は信号線84に、もう一方はTFT81のゲートに接続されている。TFT81は、ソースが端子86に接続されており、ドレインが発光素子83の陽極に接続されている。発光素子83の陰極は端子87に接続されている。容量素子82はTFT81のゲートとソース間の電圧を保持するように設けられている。また、端子86、87には、電源からそれぞれ所定の電圧が印加されており、互いに電圧差を有している。なお本明細書において電圧とは、特に記載のない限りグラウンドとの電位差を意味する。

30

【0006】

走査線85の電圧によりTFT80がオンになると、信号線84に入力されたビデオ信号の電圧がTFT81のゲートに入力される。この入力されたビデオ信号の電圧に従って、TFT81のゲート電圧(ゲートとソース間の電圧差)が定まる。そして、該ゲート電圧によって流れるTFT81のドレイン電流は、発光素子83に供給され、発光素子83は供給された電流によって発光する。

【0007】

【発明が解決しようとする課題】

ところで、ポリシリコンで形成されたTFTは、アモルファスシリコンで形成されたTFTよりも電界効果移動度が高く、オン電流が大きいので、発光装置のトランジスタとしてより適している。しかし、ポリシリコンを用いてTFTを形成しても、その電気的特性は所詮単結晶シリコン基板に形成されるMOSトランジスタの特性に匹敵するものではない。例えば、電界効果移動度は単結晶シリコンの1/10以下である。また、ポリシリコンを用いたTFTは、結晶粒界に形成される欠陥に起因して、その特性にばらつきが生じやすいといった問題点を有している。

40

【0008】

図10に示した画素において、TFT81の閾値電圧が画素毎にばらつくと、ビデオ信号

50

の電圧が同じであっても T F T 81 のドレイン電流の大きさが画素間で異なり、結果的に発光素子 83 の輝度がばらついてしまうという問題があった。

【0009】

さらに、電界発光材料の劣化による発光素子の輝度の低下は、発光装置を実用化する上で重大な問題となっている。たとえば発光素子に供給する電流が一定であっても、電界発光材料が劣化すると輝度は低くなる。そしてその劣化の度合いは、発光時間する時間や流れる電流の量に依存するため、表示する画像によって画素毎の階調が異なると、各画素の発光素子の劣化に差が生じ、輝度にばらつきが生じるという問題があった。

【0010】

本発明は上述した問題に鑑み、T F T の特性の違いに起因する、画素間における発光素子の輝度のばらつきを抑えることができ、なおかつ電界発光材料の劣化に伴う発光素子の輝度の低下や輝度むらの発生を抑えることができる発光装置、発光装置の駆動方法及び素子基板の提案を課題とする。

【0011】

【課題を解決するための手段】

本発明では、発光素子に電流を供給するためのトランジスタ（駆動用トランジスタ）に加え、スイッチング素子として機能するトランジスタ（電流制御用トランジスタ）を駆動用トランジスタに直列に接続する。駆動用トランジスタと電流制御用トランジスタは共に同じ極性とし、なおかつゲート電極を互いに接続する。そして本発明では、駆動用トランジスタのチャネル長 L とチャネル幅 W の比 L/W を、電流制御用トランジスタの L/W よりも大きくし、駆動用トランジスタを飽和領域で、電流制御用トランジスタを線形領域で動作させる。具体的に駆動用トランジスタでは、 L を W より大きくし、より望ましくは $5/1$ 以上とする。また電流制御用トランジスタでは、 L が W と同じかそれより短くなるようにする。

【0012】

さらに本発明では、駆動用トランジスタと電流制御用トランジスタの極性が p 型の場合、駆動用トランジスタの方が電流制御用トランジスタよりも閾値電圧 V_{th} が高くなるようにする。逆に、駆動用トランジスタと電流制御用トランジスタの極性が n 型の場合、駆動用トランジスタの方が電流制御用トランジスタよりも閾値電圧 V_{th} が低くなるようにする。閾値電圧の制御は、導電型を付与する不純物のチャネル形成領域へのドーザ量等を調整することで、行なうことができる。電流制御用トランジスタは必ずノーマリーオフとし、駆動用トランジスタはノーマリーオフであっても良いが、より望ましくはノーマリーオンとする。

【0013】

図1(A)に、本発明の画素の一部を回路図で示す。101は駆動用トランジスタ、102は電流制御用トランジスタ、103は発光素子である。図1(A)では駆動用トランジスタ101と電流制御用トランジスタ102が共に p 型である場合を示しているが、 n 型であっても良い。駆動用トランジスタ101、電流制御用トランジスタ102及び発光素子103は直列に接続されており、2つのトランジスタ101、102のドレイン電流 I_d が発光素子103に供給されるような構成を有している。そして駆動用トランジスタ101と電流制御用トランジスタ102は、互いにそのゲート電極が接続されており、端子106に与えられる電位が、共に駆動用トランジスタ101と電流制御用トランジスタ102のゲート電極に与えられる。

【0014】

そして、駆動用トランジスタ101のソース(S)と発光素子105の陰極間には電圧 V_{dd} が印加されている。駆動用トランジスタ101、電流制御用トランジスタ102及び発光素子103は全て直列に接続されているため、駆動用トランジスタ101のドレイン電圧 V_{ds1} と、電流制御用トランジスタ102のドレイン電圧 V_{ds2} と、発光素子103の陽極と陰極間の電圧 V_{el} の和が、電圧 V_{dd} に相当する。

【0015】

10

20

30

40

50

なお、図 1 (A) では、駆動用トランジスタ 101 と発光素子 103 との間に電流制御用トランジスタ 102 が設けられているが、本発明はこの構成に限定されない。電流制御用トランジスタ 102 は、駆動用トランジスタ 101 のドレイン電流が発光素子 103 に供給されるのを制御することができるように、接続されていれば良い。

【0016】

図 1 (B) に、図 1 (A) で示した駆動用トランジスタ 101、電流制御用トランジスタ 102 及び発光素子 103 の電圧電流特性を示す。なお図 1 (B) に示す電圧電流特性のグラフは、駆動用トランジスタ 101 のドレイン電圧 V_{ds1} に対するドレイン電流 I_{d1} のグラフ 110 と、電流制御用トランジスタ 102 のドレイン電圧 V_{ds2} に対するドレイン電流 I_{d2} のグラフ 111 と、電圧 V_{el} に対する発光素子 103 に流れる電流のグラフ 112 を示している。

【0017】

駆動用トランジスタ 101、電流制御用トランジスタ 102 及び発光素子 103 は直列に接続されているので、各素子に流れる電流の値 I_d は同じ高さになる。また駆動用トランジスタ 101 は飽和領域において、電流制御用トランジスタ 102 は線形領域において動作しているので、グラフ 110 とグラフ 112 の交点（動作点） $n1$ におけるドレイン電流 I_{d1} の方が、グラフ 111 とグラフ 112 の交点（動作点） $n2$ におけるドレイン電流 I_{d2} よりも低い。よって各素子に流れる電流は I_{d1} となるため、駆動用トランジスタ 101 と発光素子 103 は動作点 $n1$ において動作し、電流制御用トランジスタ 102 も、そのドレイン電流が I_{d1} となるように動作する。

【0018】

このとき、 V_{el} は、陰極の電位と動作点の電位との間の電圧になる。また $V_{ds1} + V_{ds2}$ は、端子 106 の電位と動作点の電位との間の電圧になる。そして電流制御用トランジスタ 102 は線形領域で動作しているので、 $|V_{ds2}|$ は $|V_{el}|$ や $|V_{ds1}|$ に比べて著しく小さい。従って、 $V_{dd} \approx V_{el} + V_{ds1}$ であると言える。また動作点 $n1$ が飽和領域にある場合、駆動用トランジスタ 101 のドレイン電流 I_{d1} は、以下の式 1 に従う。なお式 1 において、 $\beta = \mu C_0 W/L$ であり、 μ は移動度、 C_0 は単位面積あたりのゲート容量、 W/L はチャネル形成領域のチャネル幅 W とチャネル長 L の比である。

【0019】

【式 1】

$$I_{d1} = \beta (V_{gs} - V_{th})^2 / 2$$

【0020】

式 1 から、飽和領域において電流 I_{d1} は V_{ds1} によって変化せず、 V_{gs} のみによって定まることがわかる。従って、電圧 V_{dd} が固定の値だとすると、発光素子の劣化によって V_{el} が大きくなる代わりに V_{ds} が小さくなくても、式 1 に従ってドレイン電流 I_d の値は一定に保たれる。よって発光素子の輝度と電流は比例の関係にあるので、発光素子が劣化しても輝度の低下を抑えることができる。

【0021】

ちなみに、駆動用トランジスタ 101 と電流制御用トランジスタ 102 を共に線形領域で動作させる場合は、ドレイン電圧 V_{ds1} と V_{ds2} の和に対して V_{el} が著しく高く、 $V_{el} \gg V_{ds1} + V_{ds2}$ となるので $V_{dd} \approx V_{el}$ と言える。よって、発光素子が劣化しても V_{el} はほぼ固定されていることになるので、輝度の低下が抑えられない。従って、駆動用トランジスタ 101 を飽和領域で動作させることによって、発光素子の劣化に伴う輝度の低下を抑えるという、線形領域における動作では得られない効果が得られると言える。

【0022】

しかし飽和領域は線形領域に比べて $|V_{th}|$ に対する $|V_{gs}|$ の比が小さいため、式 1 からわかるように閾値電圧 V_{th} のばらつきによって、発光素子に流れる電流が左右されやすいという問題がある。本発明では、閾値電圧の制御により、同じ高さのゲート電圧

10

20

30

40

50

が与えられていても、ゲートオーバードライブ電圧（ゲート電圧 V_{gs} - 閾値電圧 V_{th} ）の絶対値を、駆動用トランジスタ 101 よりも電流制御用トランジスタ 102 の方が大きくなるようにすることができる。具体的にゲートオーバードライブ電圧は、駆動用トランジスタ 101 が p 型の場合は負の値、n 型の場合は正の値を有する。従って、飽和領域内での、 V_{gs} に対するオン電流の線形性がより高い領域に動作点を設定することができるので、ノーマリーオフの場合に比べて、閾値電圧やサブスレッショルド係数、移動度などがばらついていても、オン電流のばらつきを抑えることができる。

【0023】

さらに本発明では、 L/W を大きくすることによって飽和領域の線形性を高めることができるので、閾値電圧やサブスレッショルド係数、移動度などのばらつきに起因するオン電流のばらつきを、より抑えることができる。そしてノーマリーオフの場合よりゲートオーバードライブ電圧が高いので、ゲート電圧の高さが同じでもより高いオン電流を得ることができる。また、 L/W を大きくすることによってオン電流が低くなるのを補うことができる。

【0024】

【発明の実施の形態】

（実施の形態 1）

図 2 に、本発明の発光装置が有する画素の一実施形態を示す。図 2 に示す画素は、発光素子 204 と、ビデオ信号の画素への入力制御するためのスイッチング素子として用いるトランジスタ（スイッチング用トランジスタ）201 と、発光素子への電流の供給を制御する 2 つのトランジスタ 202、203 とを有している。本実施の形態では、トランジスタ 202 が駆動用トランジスタ、トランジスタ 203 が電流制御用トランジスタに相当する。さらに本実施の形態のように、ビデオ信号の電位を保持するための容量素子 205 を画素に設けても良い。

【0025】

スイッチング用トランジスタ 201 は、n チャネル型であっても、p 型であってもどちらでも良い。駆動用トランジスタ 202 及び電流制御用トランジスタ 203 は同じ極性を有する。本実施の形態では共に p 型を有しているが、n 型であっても良い。そして駆動用トランジスタ 202 の閾値電圧が、電流制御用トランジスタ 203 の閾値電圧よりも高くなるように設定する。より望ましくは、駆動用トランジスタ 202 がノーマリーオンとなるようにする。さらに本発明では、駆動用トランジスタ 202 の L/W を、電流制御用トランジスタ 203 の L/W よりも大きくし、駆動用トランジスタ 202 を飽和領域で、電流制御用トランジスタ 203 を線形領域で動作させる。具体的に駆動用トランジスタ 202 では、 L を W より大きくし、より望ましくは $5/1$ 以上とする。また電流制御用トランジスタ 203 では、 L が W と同じかそれより短くなるようにする。

【0026】

そしてスイッチング用トランジスタ 201 のゲートは、走査線 G_j ($j = 1 \sim y$) に接続されている。スイッチング用トランジスタ 201 のソースとドレインは、一方が信号線 S_i ($i = 1 \sim x$) に、もう一方が駆動用トランジスタ 202 及び電流制御用トランジスタ 203 のゲートに接続されている。駆動用トランジスタ 202 と電流制御用トランジスタ 203 は直列に接続されている。そして駆動用トランジスタ 202 及び電流制御用トランジスタ 203 は、電源線 V_i ($i = 1 \sim x$) から供給される電流が、駆動用トランジスタ 202 及び電流制御用トランジスタ 203 のドレイン電流として発光素子 204 に供給されるように、電源線 V_i 、発光素子 204 と接続されている。本実施の形態では電流制御用トランジスタ 203 のソースが電源線 V_i ($i = 1 \sim x$) に接続され、駆動用トランジスタ 202 のドレインが発光素子 204 の画素電極に接続される。

【0027】

発光素子 204 は陽極と陰極と、陽極と陰極との間に設けられた電界発光層とからなる。陽極が駆動用トランジスタ 202 または電流制御用トランジスタ 203 と接続している場合、陽極が画素電極、陰極が対向電極となる。逆に陰極が駆動用トランジスタ 202 または電流制御用トランジスタ 203 と接続している場合、陰極が画素電極、陽極が対向電極

10

20

30

40

50

となる。発光素子 204 の対向電極と、電源線 V1 のそれぞれには、発光素子 204 に順バイアス方向の電流が供給されるように、電源から電圧が与えられている。

【0028】

容量素子 205 が有する 2 つの電極は、一方は電源線 V1 に接続されており、もう一方は駆動用トランジスタ 202 及び電流制御用トランジスタ 203 のゲートに接続されている。容量素子 205 はスイッチング用トランジスタ 201 が非選択状態（オフ状態）にある時、駆動用トランジスタ 202 及び電流制御用トランジスタ 203 のゲート電圧を保持するために設けられている。なお図 2 では容量素子 205 を設ける構成を示したが、本発明はこの構成に限定されず、容量素子 205 を設けない構成にしても良い。

【0029】

駆動用トランジスタ 202 のソースまたはドレインが発光素子 204 の陽極と接続されている場合、駆動用トランジスタ 202 は p チャネル型トランジスタであることが望ましい。また、駆動用トランジスタ 202 のソースまたはドレインが発光素子 204 の陰極と接続されている場合、駆動用トランジスタ 202 は n チャネル型トランジスタであることが望ましい。

【0030】

次に、図 2 に示した画素の駆動方法について説明する。図 2 に示した画素の動作は、書き込み期間と保持期間の 2 つの期間に分けて説明することができる。まず書き込み期間において走査線 G_j が選択されると、走査線 G_j にゲートが接続されているスイッチング用トランジスタ 201 がオンになる。そして、信号線 S1 ～ S_x に入力されたビデオ信号が、スイッチング用トランジスタ 201 を介して駆動用トランジスタ 202 及び電流制御用トランジスタ 203 のゲートに入力される。図 3 (A) に、ビデオ信号によって駆動用トランジスタ 202 及び電流制御用トランジスタ 203 がオンの場合の動作を、図 3 (B) に、電流制御用トランジスタ 203 がオフの場合の動作を示す。なお、図 3 (A) ～ 図 3 (D) では動作を分かり易くするために、スイッチング素子として用いるスイッチング用トランジスタ 201 と電流制御用トランジスタ 203 をスイッチとして示す。

【0031】

図 3 (A) に示すように、ビデオ信号によって、駆動用トランジスタ 202 及び電流制御用トランジスタ 203 がオンになる場合は、電源線 V1 を介して電流が発光素子 204 に供給される。このとき電流制御用トランジスタ 203 は線形領域で動作しているため、発光素子 204 に流れる電流は、飽和領域で動作する駆動用トランジスタ 202 と発光素子 204 の電圧電流特性によって決まる。そして発光素子 204 は、供給される電流に見合った高さの輝度で発光する。

【0032】

また図 3 (B) に示すように、ビデオ信号によって電流制御用トランジスタ 203 がオフになる場合は、発光素子の電流の供給は行なわれず、発光素子 204 は発光しない。なお本発明では、駆動用トランジスタ 202 がノーマリーオンであっても、電流制御用トランジスタ 203 がノーマリーオフなので、発光素子 204 に電流が供給されないように制御することができる。

【0033】

保持期間では、走査線 G_j の電位を制御することでスイッチング用トランジスタ 201 をオフにし、書き込み期間において書き込まれたビデオ信号の電位を保持する。図 3 (C) は、図 3 (A) に示したように書き込み期間において駆動用トランジスタ 202 及び電流制御用トランジスタ 203 をオンにした場合の、保持期間の動作を示している。ビデオ信号の電位は容量素子 205 によって保持されているので、発光素子 204 への電流の供給は維持されている。また図 3 (D) は、図 3 (B) に示したように書き込み期間において電流制御用トランジスタ 203 をオフにした場合の、保持期間の動作を示している。ビデオ信号の電位は容量素子 205 によって保持されているので、書き込み期間と同様に、発光素子 204 への電流の供給は行なわれていない。

【0034】

10

20

30

40

50

なお本実施の形態で示した画素は、ビデオ信号がデジタルであってもアナログであってもよい。デジタルの場合は、1フレーム期間を複数の期間（サブフレーム期間）に分割し、各期間における発光の有無をビデオ信号で制御することで、階調を表現することができる。またアナログの場合、ビデオ信号の電位により駆動用トランジスタのオン電流を制御することで、階調を表現することができる。

【0035】

上記構成によって、トランジスタの特性の違いに起因する、画素間における発光素子の輝度のばらつきを抑えることができ、なおかつ電界発光材料の劣化に伴う発光素子の輝度の低下や輝度むらの発生を抑えることができる。

【0036】

（実施の形態2）

本実施の形態では、本発明の発光装置が有する画素の、図2とは異なる形態について説明する。

【0037】

図4（A）に示す画素は、発光素子404と、スイッチング用トランジスタ401と、駆動用トランジスタ402と、電流制御用トランジスタ403と、書き込まれたビデオ信号の電位を消去するためのトランジスタ（消去用トランジスタ）406とを有している。スイッチング用トランジスタ401と消去用トランジスタ406は、nチャネル型であっても、p型であってもどちらでもよい。上記素子に加えて容量素子405を画素に設けてもよい。駆動用トランジスタ402及び電流制御用トランジスタ403は同じ極性を有する。本実施の形態では共にp型を有しているが、n型であってもよい。そして駆動用トランジスタ402と電流制御用トランジスタ403の閾値電圧、 L/W の値及び動作領域に付いては、実施の形態1の場合と同様に設定すればよい。

【0038】

スイッチング用トランジスタ401のゲートは、第1走査線 Gaj （ $j=1\sim y$ ）に接続されている。スイッチング用トランジスタ401のソースとドレインは、一方が信号線 Si （ $i=1\sim x$ ）に、もう一方が駆動用トランジスタ402及び電流制御用トランジスタ403のゲートに接続されている。また消去用トランジスタ406のゲートは、第2走査線 Gej （ $j=1\sim y$ ）に接続されており、ソースとドレインは、一方が電源線 Vi （ $i=1\sim x$ ）に、他方が駆動用トランジスタ402及び電流制御用トランジスタ403のゲートに接続されている。駆動用トランジスタ402と電流制御用トランジスタ403は直列に接続されている。そして駆動用トランジスタ402及び電流制御用トランジスタ403は、電源線 Vi から供給される電流が、駆動用トランジスタ402及び電流制御用トランジスタ403のドレイン電流として発光素子404に供給されるように、電源線 Vi 、発光素子404と接続されている。図4（A）では電流制御用トランジスタ403のソースが電源線 Vi に接続され、駆動用トランジスタ402のドレインが発光素子404の画素電極に接続される。発光素子404の対向電極と、電源線 Vi のそれぞれには、発光素子404に順バイアス方向の電流が供給されるように、電源から電圧が与えられている。容量素子405が有する2つの電極は、一方は電源線 Vi に接続されており、もう一方は駆動用トランジスタ402及び電流制御用トランジスタ403のゲートに接続されている。

【0039】

駆動用トランジスタ402のソースまたはドレインが発光素子404の陽極と接続されている場合、駆動用トランジスタ402はpチャネル型トランジスタであることが望ましい。また、駆動用トランジスタ402のソースまたはドレインが発光素子404の陰極と接続されている場合、駆動用トランジスタ402はnチャネル型トランジスタであることが望ましい。

【0040】

図4（A）に示す画素は、その動作を書き込み期間、保持期間、消去期間と見分けて説明することができる。書き込み期間と保持期間におけるスイッチング用トランジスタ401

、駆動用トランジスタ402及び電流制御用トランジスタ403の動作については、図2の場合と同様である。消去期間では、第2走査線Gejが選択されて消去用トランジスタ406がオンになり、電源線V1～Vxの電位が消去用トランジスタ406を介して駆動用トランジスタ402及び電流制御用トランジスタ403のゲートに与えられる。よって、電流制御用トランジスタ403がオフになるため、発光素子404に強制的に電流が供給されない状態を作り出すことができる。

【0041】

次に、本発明の発光装置が有する画素の、図2とは異なる別の形態について説明する。

【0042】

図4(B)に示す画素は、発光素子414と、スイッチング用トランジスタ411と、駆動用トランジスタ412と、電流制御用トランジスタ413とを有している。上記素子に加えて容量素子415を画素に設けても良い。駆動用トランジスタ412及び電流制御用トランジスタ413は同じ極性を有する。本実施の形態では共にp型を有しているが、n型であってもよい。そして駆動用トランジスタ412と電流制御用トランジスタ413の閾値電圧、L/Wの値及び動作領域に付いては、実施の形態1の場合と同様に設定すれば良い。図4(B)に示す画素では図4(A)とは異なり、駆動用トランジスタ413と発光素子414との間に、電流制御用トランジスタ412が設けられている。このように、電流制御用トランジスタ412は駆動用トランジスタ413のドレイン電流の発光素子414への供給を制御できる位置に設けられていれば良い。

【0043】

なお素子基板は、本発明の発光装置を作製する過程における、発光素子が完成する前の一形態に相当する。

【0044】

本発明の発光装置において用いられるトランジスタは、単結晶シリコンを用いて形成されたトランジスタであっても良いし、SOIを用いたトランジスタであっても良いし、多結晶シリコン(ポリシリコン)やアモルファスシリコンを用いた薄膜トランジスタであっても良い。また、有機半導体を用いたトランジスタであっても良いし、カーボンナノチューブを用いたトランジスタであってもよい。また本発明の発光装置の画素に設けられたトランジスタは、シングルゲート構造を有していても良いし、ダブルゲート構造やそれ以上のゲート電極を有するマルチゲート構造であっても良い。

【0045】

【実施例】

以下、本発明の実施例について説明する。

【0046】

(実施例1)

本実施例では、図4(A)に示した画素の、上面図の一実施例について説明する。図5に本実施例の画素の上面図を示す。1001は信号線、1002は電源線に相当し、1004は第1走査線、1003は第2走査線に相当する。本実施例では、信号線1001と電源線1002は同じ導電膜で形成し、第1走査線1004と第2走査線1003は同じ導電膜で形成する。また1005はスイッチング用トランジスタであり、第1走査線1004の一部がそのゲート電極として機能する。また1006は消去用トランジスタであり、第2走査線1003の一部がそのゲート電極として機能する。1007は駆動用トランジスタ、1008は電流制御用トランジスタに相当する。駆動用トランジスタ1007は、そのL/Wが電流制御用トランジスタ1008よりも大きくなるように、活性層が曲がりくねっている。1009は画素電極に相当し、電界発光層や陰極(共に図示せず)と重なる領域(発光エリア)1010において発光する。

【0047】

なお本発明の上面図は本の一実施例であり、本発明はこれに限定されないことは言うまでもない。

【0048】

10

20

30

40

50

(実施例 2)

本実施例では、駆動用トランジスタの構造の一実施例について説明する。図 6 に、本実施例の駆動用トランジスタのチャネル長方向における断面図を示す。図 6 に示す駆動用トランジスタは、活性層 601 と、活性層 601 に接するゲート絶縁膜 602 と、ゲート絶縁膜 602 を間に挟んで活性層 601 と重なっているゲート電極 603 とを有している。なお図 6 ではゲート電極 603 が 1 層の導電膜で構成されているが、2 層以上の導電膜で構成されていても良い。

【0049】

活性層 601 は、ゲート絶縁膜 602 を間に挟んでゲート電極 603 と重なっているチャネル形成領域 604 と、チャネル形成領域 604 を間に挟んで存在するソース領域 605 及びドレイン領域 606 と、ソース領域 605 及びドレイン領域 606 とチャネル形成領域 604 の間に存在する LDD 領域 607 とを有している。本発明では、チャネル形成領域 604 に添加する不純物領域の濃度を調整することで、閾値電圧を制御している。そして本発明では、駆動用トランジスタを飽和領域で動作させる。

【0050】

飽和領域では、ドレイン接合部の空乏層が張り出しており、ドレイン端で反転層（チャネル）が消滅した状態となっている。このチャネルが存在する部分とチャネルが消滅した部分との境界点をピンチオフ点と呼ぶ。そしてキャリアは、ドレイン電界によってピンチオフ点からドレイン領域に吸引されることで移動する。よって、ドレイン電流の高さは、チャネルを通過することができるキャリアの数及びピンチオフ点からドレイン領域の間のキャリアが乗り越えなくてはならないポテンシャル障壁の高さによって決まる。

【0051】

ピンチオフ点がチャネル形成領域 604 内に存在すると、ポテンシャル障壁の高さは、当該チャネル形成領域 604 における不純物濃度よりも、その結晶性に依存する。よって活性層に用いられている半導体膜の結晶性がばらついていると、ポテンシャル障壁の高さがその結晶性に依存して決まるので、ドレイン電流の大きさもばらつく。そこで本実施例では、ピンチオフ点がドレイン領域 606 側の LDD 領域 607 内に形成されるように、そのドレイン電圧、LDD 領域における不純物濃度等を調整することで、その位置を制御する。ピンチオフ点がドレイン領域 606 側の LDD 領域 607 内にあることで、ポテンシャル障壁の高さは半導体膜の結晶性よりも LDD 領域内の不純物濃度に依存する。従って、結晶性がばらつきに起因したドレイン電流のばらつきを抑制することができる。

【0052】

(実施例 3)

本実施例では、本発明の発光装置に用いられる信号線駆動回路と、走査線駆動回路の構成について説明する。図 7 (A) は信号線駆動回路 701 のブロック図であり、シフトレジスタ 702、ラッチ (A) 703、ラッチ (B) 704 を有している。信号線駆動回路 701 において、シフトレジスタ 702 にクロック信号 (CLK) およびスタートパルス (SP) が入力される。シフトレジスタ 702 は、これらのクロック信号 (CLK) およびスタートパルス (SP) に基づきタイミング信号を順に発生させ、バッファ等 (図示せず) を通して後段の回路へタイミング信号を順次供給する。

【0053】

シフトレジスタ 702 からのタイミング信号は、バッファ等によって緩衝増幅される。タイミング信号が供給される配線には、多くの回路あるいは素子が接続されているために負荷容量（寄生容量）が大きい。この負荷容量が大きいために生ずるタイミング信号の立ち上がりまたは立ち下がりの“鈍り”を防ぐために、このバッファが設けられる。なおバッファは必ずしも設ける必要はない。バッファによって緩衝増幅されたタイミング信号は、ラッチ (A) 703 に供給される。ラッチ (A) 703 は、n ビットのデジタルのビデオ信号を処理する複数のステージのラッチを有している。ラッチ (A) 703 は、前記タイミング信号が入力されると、信号線駆動回路 701 の外部から供給される n ビットのデジタルのビデオ信号を順次取り込み、保持する。

10

20

30

40

50

【0054】

なお、ラッチ(A)703にビデオ信号を取り込む際に、ラッチ(A)703が有する複数のステージのラッチに、順にビデオ信号を入力しても良い。しかし本発明はこの構成に限定されない。ラッチ(A)703が有する複数のステージのラッチをいくつかのグループに分け、各グループごとに並行して同時にビデオ信号を入力する、いわゆる分割駆動を行っても良い。このときのグループ数を分割数と呼ぶ。例えば4つのステージごとにラッチをグループに分けた場合、4分割で分割駆動すると言う。全てのラッチに(A)703にデータが書き込まれると、ラッチ(B)704にラッチシグナル(Latch Signal)が供給される。この瞬間、ラッチ(A)703に書き込まれ保持されているビデオ信号は、全ステージのラッチ(B)704に一齐に送られ、書き込まれる。このラッチに(A)703からラッチ(B)704にデータが送られる期間をラッチ期間と呼ぶ。

【0055】

ビデオ信号をラッチ(B)704に送出し終えたラッチ(A)703には、シフトレジスタ702からのタイミング信号に基づき、ビデオ信号の書き込みが再び行われる。この2順目の1ライン期間中には、ラッチ(B)704に書き込まれ、保持されているビデオ信号が信号線に入力される。

【0056】

図7(B)は走査線駆動回路の構成を示すブロック図である。走査線駆動回路705は、それぞれシフトレジスタ706、バッファ707を有している。また場合によってはレベルシフトを有していても良い。走査線駆動回路705において、シフトレジスタ706からのタイミング信号がバッファ707に供給され、対応する走査線(あるいは第1走査線、第2走査線)に供給される。走査線には、1ライン分の画素のスイッチング用トランジスタ(あるいは消去用トランジスタ)のゲートが接続されている。そして、1ライン分の画素のスイッチング用トランジスタ(あるいは消去用トランジスタ)を一齐にONにしないことはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

【0057】

(実施例4)

本実施例では、本発明の発光装置の外観について、図8を用いて説明する。図8は、トランジスタが形成された素子基板をシーリング材によって封止することによって形成された発光装置の上面図であり、図8(B)は、図8(A)のA-A'における断面図、図8(C)は図8(A)のB-B'における断面図である。

【0058】

基板4001上に設けられた画素部4002と、信号線駆動回路4003と、走査線駆動回路4004a、bとを囲むようにして、シール材4009が設けられている。また画素部4002と、信号線駆動回路4003と、走査線駆動回路4004a、bとの上にカバー材4008が設けられている。よって画素部4002と、信号線駆動回路4003と、走査線駆動回路4004a、bとは、基板4001とシール材4009とカバー材4008とによって、充填材4210で密封されている。

【0059】

また基板4001上に設けられた画素部4002と、信号線駆動回路4003と、走査線駆動回路4004a、bとは、複数のトランジスタを有している。図8(B)では代表的に、下地膜4010上に形成された、信号線駆動回路4003に含まれる駆動トランジスタ(但し、ここではnチャネル型トランジスタとpチャネル型トランジスタを図示する)4201及び画素部4002に含まれるトランジスタ4202を図示した。

【0060】

駆動トランジスタ4201及びトランジスタ4202上には層間絶縁膜(平坦化膜)4301が形成され、その上にトランジスタ4202のドレインと電気的に接続する陽極(陽極)4203が形成される。陽極4203としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。ま

た、前記透明導電膜にガリウムを添加したものをを用いても良い。

【0061】

そして、陽極4203の上には絶縁膜4302が形成され、絶縁膜4302は陽極4203の上に開口部が形成されている。この開口部において、陽極4203の上には電界発光層4204が形成される。電界発光層4204は公知の有機の電界発光材料または無機の電界発光材料を用いることができる。また、有機の電界発光材料には低分子系（モノマー系）材料と高分子系（ポリマー系）材料があるがどちらを用いても良い。電界発光層4204の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、電界発光層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせることで積層構造または単層構造とすれば良い。

【0062】

電界発光層4204の上には遮光性を有する導電膜（代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜）からなる陰極4205が形成される。また、陰極4205と電界発光層4204の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、電界発光層4204を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極4205を形成するといった工夫が必要である。本実施例ではマルチチャンパー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。そして陰極4205は所定の電圧が与えられている。

【0063】

以上のようにして、陽極（陽極）4203、電界発光層4204及び陰極4205からなる発光素子4303が形成される。そして発光素子4303を覆うように、絶縁膜4302上に保護膜4209が形成されている。保護膜4209は、発光素子4303に酸素や水分等が入り込むのを防ぐのに効果的である。

【0064】

4005aは電源線に接続された引き回し配線であり、トランジスタ4202のソースに電氣的に接続されている。引き回し配線4005aはシール材4009と基板4001との間を通り、異方導電性フィルム4300を介してFPC4006が有するFPC用配線4301に電氣的に接続される。

【0065】

カバー材4008としては、ガラス材、金属材（代表的にはステンレス材）、セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることができる。プラスチック材としては、FRP（Fiberglass-Reinforced Plastic）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0066】

但し、発光素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0067】

また、充填材4210としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVF（ポリビニルフルオライド）またはEVA（エチレンビニルアセテート）を用いることができる。本実施例では充填材として窒素を用いた。

【0068】

また充填材4210を吸湿性物質（好ましくは酸化バリウム）もしくは酸素を吸着しうる物質にさらしておくために、カバー材4008の基板4001側の面に凹部4007を設けて吸湿性物質または酸素を吸着しうる物質4207を配置する。そして、吸湿性物質ま

10

20

30

40

50

たは酸素を吸着しうる物質４２０７が飛び散らないように、凹部カバー材４２０８によって吸湿性物質または酸素を吸着しうる物質４２０７は凹部４００７に保持されている。なお凹部カバー材４２０８は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質４２０７は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質４２０７を設けることで、発光素子４３０３の劣化を抑制できる。

【００６９】

図８（Ｃ）に示すように、陽極４２０３が形成されると同時に、引き回し配線４００５ａ上に接するように導電性膜４２０３ａが形成される。また、異方導電性フィルム４３００は導電性フィラー４３００ａを有している。基板４００１とＦＰＣ４００６とを熱圧着することで、基板４００１上の導電性膜４２０３ａとＦＰＣ４００６上のＦＰＣ用配線４３０１とが、導電性フィラー４３００ａによって電気的に接続される。

【００７０】

（実施例５）

発光素子を用いた発光装置は自発光型であるため、液晶ディスプレイに比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

【００７１】

本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンボ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはＤＶＤ：Digital Versatile Disc）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図９に示す。

【００７２】

図９（Ａ）は表示装置であり、筐体２００１、支持台２００２、表示部２００３、スピーカ部２００４、ビデオ入力端子２００５等を含む。本発明の発光装置を表示部２００３に用いることで、本発明の表示装置が完成する。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、発光素子表示装置は、パソコン用、ＴＶ放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【００７３】

図９（Ｂ）はデジタルスチルカメラであり、本体２１０１、表示部２１０２、受像部２１０３、操作キー２１０４、外部接続ポート２１０５、シャッター２１０６等を含む。本発明の発光装置を表示部２１０２に用いることで、本発明のデジタルスチルカメラが完成する。

【００７４】

図９（Ｃ）はノート型パーソナルコンピュータであり、本体２２０１、筐体２２０２、表示部２２０３、キーボード２２０４、外部接続ポート２２０５、ポインティングマウス２２０６等を含む。本発明の発光装置を表示部２２０３に用いることで、本発明のノート型パーソナルコンピュータが完成する。

【００７５】

図９（Ｄ）はモバイルコンピュータであり、本体２３０１、表示部２３０２、スイッチ２３０３、操作キー２３０４、赤外線ポート２３０５等を含む。本発明の発光装置を表示部２３０２に用いることで、本発明のモバイルコンピュータが完成する。

【００７６】

図９（Ｅ）は記録媒体を備えた携帯型の画像再生装置（具体的にはＤＶＤ再生装置）であ

10

20

30

40

50

り、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体(DVD等)読み込み部2405、操作キー2406、スピーカー部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示する。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。本発明の発光装置を表示部A2403、B2404に用いることで、本発明の画像再生装置が完成する。

【0077】

図9(F)はゴーグル型ディスプレイ(ヘッドマウントディスプレイ)であり、本体2501、表示部2502、アーム部2503を含む。本発明の発光装置を表示部2502に用いることで、本発明のゴーグル型ディスプレイが完成する。

10

【0078】

図9(G)はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609、接眼部2610等を含む。本発明の発光装置を表示部2602に用いることで、本発明のビデオカメラが完成する。

【0079】

ここで図9(H)は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。本発明の発光装置を表示部2703に用いることで、本発明の携帯電話が完成する。

20

【0080】

なお、将来的に有機の電界発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0081】

また、上記電子機器はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。有機の電界発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

30

【0082】

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0083】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例1~6に示したいずれの構成の発光装置を用いても良い。

【0084】

40

(実施例6)

本発明で用いることができるトランジスタは、アモルファスシリコンで形成されていても良い。アモルファスシリコンでトランジスタを形成すると、結晶化のプロセスを設けずに済むので、作製方法を簡略化することができ、低コスト化が図れる。ただしアモルファスシリコンで形成されたトランジスタはp型よりもn型の方が移動度が高く、発光装置の画素に用いるのにより適している。本実施例では、駆動用トランジスタと電流制御用トランジスタがn型の場合における、画素の断面構造について説明する。

【0085】

図11(A)に、駆動用トランジスタ6001がn型で、発光素子6002から発せられる光が隔壁6005側に抜ける場合の、画素の断面図を示す。図11(A)では、発光素

50

子6002の陰極6003と駆動用トランジスタ6001が電気的に接続されており、陰極6003上に電界発光層6004、陽極6005が順に積層されている。陰極6003は仕事関数が小さく、なおかつ光を反射する導電膜であれば公知の材料を用いることができる。例えば、Ca、Al、CaF、MgAg、AlLi等が望ましい。そして電界発光層6004は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極6003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極6005は光を透過する透明導電膜を用いて形成し、例えばITOの他、酸化インジウムに2～20%の酸化亜鉛(ZnO)を混合した透明導電膜を用いても良い。

10

【0086】

陰極6003と、電界発光層6004と、陽極6005とが重なっている部分が発光素子6002に相当する。図11(A)に示した画素の場合、発光素子6002から発せられる光は、白抜きの矢印で示すように陽極6005側に抜ける。

【0087】

図11(B)に、駆動用トランジスタ6011がn型で、発光素子6012から発せられる光が陰極6013側に抜ける場合の、画素の断面図を示す。図11(B)では、駆動用トランジスタ6011と電気的に接続された透明導電膜6017上に、発光素子6012の陰極6013が成膜されており、陰極6013上に電界発光層6014、陽極6015が順に積層されている。そして陽極6015を覆うように、光を反射または遮蔽するための遮光膜6016が成膜されている。陰極6013は、図11(A)の場合と同様に、仕事関数が小さい導電膜であれば公知の材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば20nmの膜厚を有するAlを、陰極6013として用いることができる。そして電界発光層6014は、図11(A)と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極6015は光を透過する必要はないが、図11(A)と同様に、透明導電膜を用いて形成することができる。そして遮光膜6016は、例えば光を反射する金属等を用いることができるが、金属膜に限定されない。例えば黒の顔料添加した樹脂等を用いることもできる。

20

【0088】

陰極6013と、電界発光層6014と、陽極6015とが重なっている部分が発光素子6012に相当する。図11(B)に示した画素の場合、発光素子6012から発せられる光は、白抜きの矢印で示すように陰極6013側に抜ける。

30

【0089】

なお本実施例では、駆動用トランジスタと発光素子が電気的に接続されている例を示したが、駆動用トランジスタと発光素子との間に電流制御用トランジスタが接続されている構成であってもよい。

【0090】

(実施例7)

本実施例では、駆動用トランジスタと電流制御用トランジスタがp型の場合における、画素の断面構造について説明する。

40

【0091】

図12(A)に、駆動用トランジスタ6021がp型で、発光素子6022から発せられる光が陽極6023側に抜ける場合の、画素の断面図を示す。図12(A)では、発光素子6022の陰極6023と駆動用トランジスタ6021が電気的に接続されており、陽極6023上に電界発光層6024、陰極6025が順に積層されている。陰極6025は仕事関数が小さく、なおかつ光を反射する導電膜であれば公知の材料を用いることができる。例えば、Ca、Al、CaF、MgAg、AlLi等が望ましい。そして電界発光層6024は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陽極6023上にホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層する。なおこれらの層を全て

50

設ける必要はない。陽極6023は光を透過する透明導電膜を用いて形成し、例えばITOの他、酸化インジウムに2〜20%の酸化亜鉛(ZnO)を混合した透明導電膜を用いても良い。

【0092】

陽極6023と、電界発光層6024と、陰極6025とが重なっている部分が発光素子6022に相当する。図12(A)に示した画素の場合、発光素子6022から発せられる光は、白抜きの矢印で示すように陽極6023側に抜ける。

【0093】

図12(B)に、駆動用トランジスタ6031がp型で、発光素子6032から発せられる光が陰極6035側に抜ける場合の、画素の断面図を示す。図12(B)では、駆動用トランジスタ6031と電気的に接続された配線6037上に、発光素子6032の陽極6033が成膜されており、陽極6033上に電界発光層6034、陰極6035が順に積層されている。上記構成によって、陽極6033において光が透過しても、該光は配線6037において反射される。陰極6035は、図12(A)の場合と同様に、仕事関数が小さい導電膜であれば公知の材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば20nmの膜厚を有するAlを、陰極6035として用いることができる。そして電界発光層6034は、図12(A)と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極6033は光を透過する必要はないが、図12(A)と同様に、透明導電膜を用いて形成することができる。そして遮光膜6036は、例えば光を反射する金属等を用いることができるが、金属膜に限定されない。例えば黒の顔料添加した樹脂等を用いることもできる。

【0094】

陽極6033と、電界発光層6034と、陰極6035とが重なっている部分が発光素子6032に相当する。図12(B)に示した画素の場合、発光素子6032から発せられる光は、白抜きの矢印で示すように陰極6035側に抜ける。

【0095】

なお本実施例では、駆動用トランジスタと発光素子が電気的に接続されている例を示したが、駆動用トランジスタと発光素子との間に電流制御用トランジスタが接続されている構成であってもよい。

【0096】

(実施例8)

本実施例では、駆動用トランジスタと電流制御用トランジスタが共にボトムゲート型の場合の、画素の断面構造について説明する。

【0097】

図13(A)に、本実施例の画素の断面図を示す。6501は駆動用トランジスタ、6502は電流制御用トランジスタに相当する。駆動用トランジスタ6501は、絶縁表面を有する基板6500上に形成されたゲート電極6503と、ゲート電極6503を覆うように基板6500上に形成されたゲート絶縁膜6504と、ゲート絶縁膜6504を間に挟んでゲート電極6503と重なる位置に形成された半導体膜6505とを有している。半導体膜6505は、ソース又はドレインとして機能する、導電型を付与する不純物が添加された2つの不純物領域6506a、6506bを有している。そして不純物領域6506aは配線6506と接続されている。

【0098】

電流制御用トランジスタ6502は、駆動用トランジスタ6501と同様に、絶縁表面を有する基板6500上に形成されたゲート電極6510と、ゲート電極6510を覆うように基板6500上に形成されたゲート絶縁膜6504と、ゲート絶縁膜6504を間に挟んでゲート電極6510と重なる位置に形成された半導体膜6511とを有している。半導体膜6511は、ソース又はドレインとして機能する、導電型を付与する不純物が添加された2つの不純物領域6512a、6512bを有している。そして不純物領域6512aは、配線6513を介して駆動用トランジスタ6501が有する不純物領域650

10

20

30

40

50

6 b と接続されている。

【0099】

駆動用トランジスタ6501及び電流制御用トランジスタ6502は、共に絶縁膜で形成された保護膜6507で覆われている。そして、保護膜6507に形成されたコンタクトホールを介して、配線6508が画素電極6509と接続されている。また、駆動用トランジスタ6501及び電流制御用トランジスタ6502と、保護膜6507は層間絶縁膜6520で覆われている。層間絶縁膜6520は開口部を有しており、該開口部において陽極6509が露出している。陽極6509上には電界発光層6521と、陰極6522が形成されている。

【0100】

図13(A)では、駆動用トランジスタ6501が有する半導体膜6505のチャネル形成領域にn型の導電性を付与する不純物をイオンドーピング法などにより添加することで、駆動用トランジスタ6501がノーマリオン(ディプリーション型)となるように閾値電圧を制御する。なお電流制御用トランジスタ6502は、ノーマリオフ(エンハンスメント型)とする。

【0101】

図13(B)に、図13(A)とは異なる本実施例の画素の断面図を示す。6601は駆動用トランジスタ、6602は電流制御用トランジスタに相当する。駆動用トランジスタ6601と電流制御用トランジスタ6602の構造は、図13(A)の場合と同じである。ただし図13(B)では、駆動用トランジスタ6601が、電流制御用トランジスタ6602を覆っている層間絶縁膜6603上に形成されている。そして、層間絶縁膜6603に形成されたコンタクトホールを介して、配線6604により、駆動用トランジスタ6601と電流制御用トランジスタ6602が電気的に接続されている。

【0102】

図13(B)では、駆動用トランジスタ6601が有する半導体膜6605は、成膜の際にn型を付与する不純物を添加し、ノーマリオン(ディプリーション型)となるように閾値電圧を制御する。

【0103】

なお、図13(A)、図13(B)では、駆動用トランジスタと電流制御用トランジスタが共にn型である場合について説明したが、p型であってもよい。この場合、駆動用トランジスタの閾値を制御するための不純物はp型を用いる。

【0104】

(実施例9)

本実施例では、アモルファスシリコンで形成されたトランジスタを画素部に用いた、本発明の発光装置の外観について説明する。本実施例では、画素部への各種信号の供給を行なう信号線駆動回路や走査線駆動回路を、パネルとは別個に作製し、FPC等を用いてパネルに実装する。図14(A)に本実施例のパネルの上面図を、図14(B)に、図14(A)のA-A'における断面図を示す。

【0105】

図14(A)、図14(B)に示すパネルでは、基板5001上に設けられた画素部5002が、同じく基板5001上に設けられたシール材5009に囲まれており、充填材5210と共に基板5001とカバー材5008の間に封止されている。

【0106】

画素部5002には複数のトランジスタと発光素子5303が形成されている。図14(B)では、画素部5002に含まれる駆動用トランジスタ5202を代表的に図示した。駆動用トランジスタ5202と発光素子5303は電気的に接続されている。なお本実施例では駆動用トランジスタと発光素子が電気的に接続されている例を示しているが、駆動用トランジスタと発光素子との間に電流制御用トランジスタが直列に接続されていてもよい。

【0107】

10

20

30

40

50

駆動用トランジスタ 5202 及び発光素子 5303 は充填材 5210 によって覆われている。本実施例では充填材 5210 として酸化バリウム等の吸湿性物質が添加された樹脂を用いる。樹脂は、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）または EVA（エチレンビニルアセテート）を用いることができる。なお、充填材 5210 としては窒素やアルゴンなどの不活性な気体も用いることは可能である。

【0108】

5010 は電源線に接続された引き回し配線であり、駆動用トランジスタ 5202 のソースに電気的に接続されている。引き回し配線 5010 はシール材 5009 と基板 5001 との間を通り、異方導電性フィルム 5300 を介して FPC 5006 が有する FPC 用配線 5301 に電気的に接続される。

【0109】

（実施例 10）

図 15 に示す画素は、発光素子 804 と、スイッチング用トランジスタ 801 と、駆動用トランジスタ 802 と、電流制御用トランジスタ 803 と、消去用トランジスタ 806 とを有している。上記素子に加えて容量素子 805 を画素に設けても良い。駆動用トランジスタ 802、電流制御用トランジスタ 803 及び消去用トランジスタ 806 は同じ極性を有する。本実施例では共に p 型を有しているが、n 型であってもよい。そして駆動用トランジスタ 802 と電流制御用トランジスタ 803 の閾値電圧、 L/W の値及び動作領域に付いては、実施例 1 の場合と同様に設定すれば良い。

【0110】

スイッチング用トランジスタ 801 のゲートは、第 1 走査線 Gaj ($j=1\sim y$) に接続されている。スイッチング用トランジスタ 801 のソースとドレインは、一方が信号線 Si ($i=1\sim x$) に、もう一方が駆動用トランジスタ 802 及び電流制御用トランジスタ 803 のゲートに接続されている。また消去用トランジスタ 806 のゲートは、第 2 走査線 Gej ($j=1\sim y$) に接続されている。

【0111】

駆動用トランジスタ 802 と、電流制御用トランジスタ 803 と、消去用トランジスタ 806 は直列に接続されている。そして駆動用トランジスタ 802、電流制御用トランジスタ 803 及び消去用トランジスタ 806 は、電源線 Vi ($i=1\sim x$) から供給される電流が、駆動用トランジスタ 802、電流制御用トランジスタ 803 及び消去用トランジスタ 806 のドレイン電流として発光素子 804 に供給されるように、電源線 Vi 、発光素子 804 と接続されている。図 15 では消去用トランジスタ 806 のソースが電源線 Vi に接続され、駆動用トランジスタ 802 のドレインが発光素子 804 の電極に接続され、電流制御用トランジスタ 803 が消去用トランジスタ 806 と駆動用トランジスタ 802 の間に設けられている。

【0112】

なお、駆動用トランジスタ 802、電流制御用トランジスタ 803 及び消去用トランジスタ 806 は、電源線 Vi と発光素子 804 の間において直列に接続されていれば良く、その 3 つのトランジスタの位置関係は、図 15 に示した構成に限定されない。例えば消去用トランジスタ 806 が駆動用トランジスタ 802 と電流制御用トランジスタ 803 の間に設けられていても良いし、駆動用トランジスタ 802 と電流制御用トランジスタ 803 よりも発光素子 804 に近い位置に設けられていても良い。

【0113】

発光素子 804 の対向電極と、電源線 Vi のそれぞれには、発光素子 804 に順バイアス方向の電流が供給されるように、電源から電圧が与えられている。容量素子 805 が有する 2 つの電極は、一方は電源線 Vi に接続されており、もう一方は駆動用トランジスタ 802 及び電流制御用トランジスタ 803 のゲートに接続されている。

【0114】

10

20

30

40

50

図15に示す画素は、その動作を書き込み期間、保持期間、消去期間と見分けて説明することができる。書き込み期間と保持期間におけるスイッチング用トランジスタ801、駆動用トランジスタ802及び電流制御用トランジスタ803の動作については、図2の場合と同様である。ただし消去用トランジスタ806は、書き込み期間と保持期間においてオンになるように、また消去期間においてはオフとなるように、第2走査線Gejの電位を制御する。消去期間において消去用トランジスタ806がオフになると、発光素子804に強制的に電流が供給されない状態を作り出すことができる。

【0115】

(実施例11)

図16を用いて、本発明の発光装置の、画素の断面構造について説明する。図17では、基板7000上にトランジスタ7001が形成されている。トランジスタ7001は第1の層間絶縁膜7002で覆われており、第1の層間絶縁膜7002上には樹脂層等で形成されたカラーフィルタ7003と、コンタクトホールを介してトランジスタ7001と電気的に接続されている配線7004が形成されている。

【0116】

そして樹脂層7003及び配線7004を覆うように、第1の層間絶縁膜7002上に、第2の層間絶縁膜7005が形成されている。なお、第1の層間絶縁膜7002または第2の層間絶縁膜7005は、プラズマCVD法またはスパッタ法を用い、酸化珪素、窒化珪素または酸化窒化珪素膜を単層でまたは積層して用いることができる。また酸素よりも窒素のモル比率が高い酸化窒化珪素膜上に、窒素よりも酸素のモル比率が高い酸化窒化珪素膜を積層した膜を第1の層間絶縁膜7002または第2の層間絶縁膜7005として用いても良い。或いは第1の層間絶縁膜7002または第2の層間絶縁膜7005として、有機樹脂膜を用いても良い。

【0117】

第2の層間絶縁膜7005上には、コンタクトホールを介して配線7004に電気的に接続されている配線7006と、該配線7006と電気的に接続されている配線7007が形成されている。配線7007の一部は陽極の機能を有しており、第2の層間絶縁膜7005を間に挟んで、カラーフィルタ7003と重なる位置に形成する。

【0118】

また第2の層間絶縁膜7005上には隔壁として用いる有機樹脂膜7008が形成されている。有機樹脂膜7008は開口部を有しており、該開口部において配線7007と電界発光層7009と陰極7010が重なり合うことで発光素子7011が形成されている。電界発光層7009は、発光層単独もしくは発光層を含む複数の層が積層された構成を有している。なお、有機樹脂膜7008及び陰極7010上に、保護膜を成膜しても良い。この場合、保護膜は水分や酸素などの発光素子の劣化を促進させる原因となる物質を、他の絶縁膜と比較して透過せにくい膜を用いる。代表的には、例えばDLC膜、窒化炭素膜、RFスパッタ法で形成された窒化珪素膜等を用いるのが望ましい。また上述した水分や酸素などの物質を透過せにくい膜と、該膜に比べて水分や酸素などの物質を透過しやすい膜とを積層させて、保護膜として用いることも可能である。

【0119】

また有機樹脂膜7008は、電界発光層7009が成膜される前に、吸着した水分や酸素等を除去するために真空雰囲気下で加熱しておく。具体的には、100℃～200℃、0.5～1時間程度、真空雰囲気下で加熱処理を行なう。望ましくは 3×10^{-7} Torr以下とし、可能であるならば 3×10^{-8} Torr以下とするのが最も望ましい。そして、有機樹脂膜に真空雰囲気下で加熱処理を施した後に電界発光層を成膜する場合、成膜直前まで真空雰囲気下に保つことで、信頼性をより高めることができる。

【0120】

また有機樹脂膜7008の開口部における端部は、有機樹脂膜7008上に一部重なって形成されている電界発光層7009に、該端部において穴があかないように、丸みを帯びさせることが望ましい。具体的には、開口部における有機樹脂膜の断面が描いている曲線

の曲率半径が、 $0.2 \sim 2 \mu\text{m}$ 程度であることが望ましい。

【0121】

上記構成により、後に形成される電界発光層や陰極のカバレッジを良好とすることができ、配線7007と陰極7010が電界発光層7009に形成された穴においてショートするのを防ぐことができる。また電界発光層7009の応力を緩和させることで、発光領域が減少するシュリンクとよばれる不良を低減させることができ、信頼性を高めることができる。

【0122】

なお図17では、有機樹脂膜7008として、ボジ型の感光性のアクリル樹脂を用いた例を示している。感光性の有機樹脂には、光、電子、イオンなどのエネルギー線が露光された箇所が除去されるボジ型と、露光された箇所が残るネガ型とがある。本発明ではネガ型の有機樹脂膜を用いても良い。また感光性のポリイミドを用いて有機樹脂膜7008を形成しても良い。ネガ型のアクリルを用いて有機樹脂膜7008を形成した場合、開口部における端部が、S字状の断面形状となる。このとき開口部の上端部及び下端部における曲率半径は、 $0.2 \sim 2 \mu\text{m}$ とすることが望ましい。

【0123】

配線7007は透明導電膜を用いることができる。ITOの他、酸化インジウムに $2 \sim 20\%$ の酸化亜鉛(ZnO)を混合した透明導電膜を用いても良い。図17では配線7007としITOを用いている。配線7007は、その表面が平坦化されるように、CMP法、ポリビニルアルコール系の多孔質体で拭浄で研磨しても良い。またCMP法を用いた研磨後に、配線7007の表面に紫外線照射、酸素プラズマ処理などを行ってもよい。

【0124】

また陰極7010は、光が透過する程度の膜厚とし、仕事関数の小さい導電膜であれば公知の他の材料を用いる。例えば、Ca、Al、CaF、MgAg、AlLi等が望ましい。なお陰極側から光を得るためには、膜厚を薄くする方法の他に、Liを添加することで仕事関数が小さくなったITOを用いる方法もある。本発明で用いる発光素子は、陽極側と陰極側の両方から光が発せられる構成であれば良い。

【0125】

なお、実際には図17まで完成したら、さらに外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム(ラミネートフィルム、紫外線硬化樹脂フィルム等)や透光性のカバー材7012でパッケージング(封入)することが好ましい。その際、カバー材の内部を不活性雰囲気にしたたり、内部に吸湿性材料(例えば酸化バリウム)を配置したりするとOLEDの信頼性が向上する。そして本発明では、カバー材7012にカラーフィルタ7013を設けても良い。

【0126】

なお、本発明は上述した作製方法に限定されず、公知の方法を用いて作製することが可能である。

【0127】

(実施例12)

本実施例では、図4(A)に示した画素の、上面図の一実施例について説明する。図17に本実施例の画素の上面図を示す。8001は信号線、8002は電源線に相当し、8004は第1走査線、8003は第2走査線に相当する。本実施例では、信号線8001と電源線8002は同じ導電膜で形成し、第1走査線8004と第2走査線8003は同じ導電膜で形成する。また8005はスイッチング用トランジスタであり、第1走査線8004の一部がそのゲート電極として機能する。また8006は消去用トランジスタであり、第2走査線8003の一部がそのゲート電極として機能する。8007は駆動用トランジスタ、8008は電流制御用トランジスタに相当する。駆動用トランジスタ8007は、そのL/Wが電流制御用トランジスタ8008よりも大きくなるように、活性層が曲がりくねっている。8009は画素電極に相当し、電界発光層や陰極(共に図示せず)と重なる領域(発光エリア)8010において発光する。

10

20

30

40

50

【0128】

なお本発明の上面図は本の一実施例であり、本発明はこれに限定されないことは言うまでもない。

【0129】

【発明の効果】

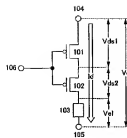
本発明は上記構成によって、トランジスタの特性の違いに起因する、画素間における発光素子の輝度のばらつきを抑えることができ、なおかつ電界発光材料の劣化に伴う発光素子の輝度の低下や輝度むらの発生を抑えることができる。

【図面の簡単な説明】

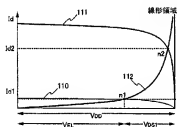
- 【図1】本発明の画素に含まれるトランジスタの動作領域について説明する図。 10
- 【図2】本発明の発光装置の画素の回路図。
- 【図3】図2の画素の動作を示す図。
- 【図4】本発明の発光装置の画素の回路図。
- 【図5】本発明の発光装置の画素の上面図。
- 【図6】駆動用トランジスタの断面構造を示す図。
- 【図7】発光装置の駆動回路の構成を示す図。
- 【図8】本発明の発光装置の上面図及び断面図。
- 【図9】本発明の発光装置を用いた電子機器の図。
- 【図10】従来の発光装置の画素の回路図。
- 【図11】本発明の発光装置の画素の断面図。 20
- 【図12】本発明の発光装置の画素の断面図。
- 【図13】本発明の発光装置の画素の断面図。
- 【図14】本発明の発光装置の上面図及び断面図。
- 【図15】本発明の発光装置の画素の回路図。
- 【図16】本発明の発光装置の画素の断面図。
- 【図17】本発明の発光装置の画素の上面図。

【 図 1 】

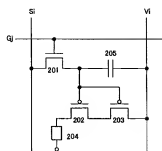
(A)



(B)

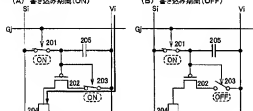


【圖 2】

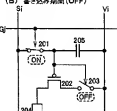


【图 3】

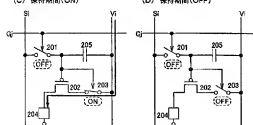
(A) 書き込み期間(ON)



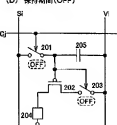
(B) 書き込み期間(OFF)



(C) 保持期間(ON)

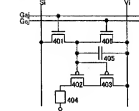


(D) 保持期間(OFF)

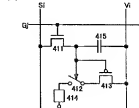


【例 4】

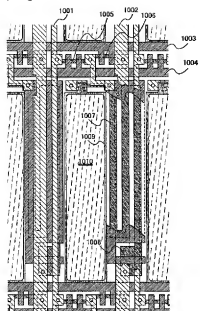
(A)



(B)

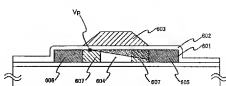


【図 5】



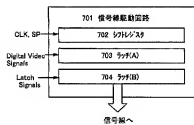
1001: 基板
1002: 電圧線
1003: 電圧線
1004: 第1層電線
1005: フォトリソグラフィ用レジスタ
1006: 第2層電線
1007: 第3層電線
1008: 第4層電線
1009: 第5層電線
1010: 第6層電線
1011: 第7層電線

【図 6】

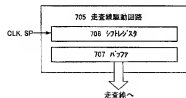


【図 7】

(A)

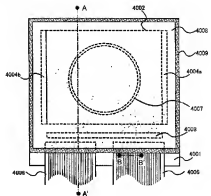


(B)

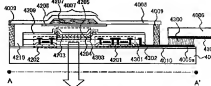


【図 8】

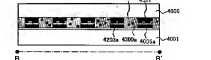
(A)



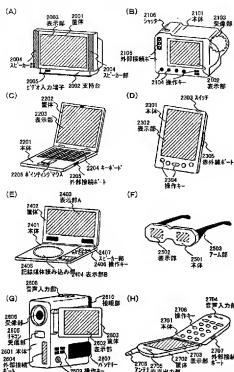
(B)



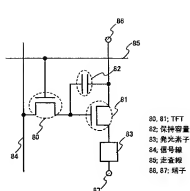
(C)



【図 9】

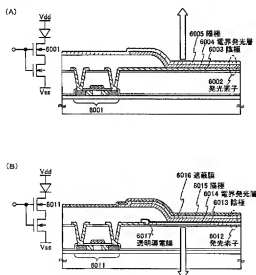


【図 10】

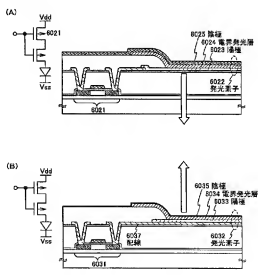


80, 81: TTT
82: 変圧器
83: 整流素子
84: 電圧線
85: 主電源
86, 87: 端子

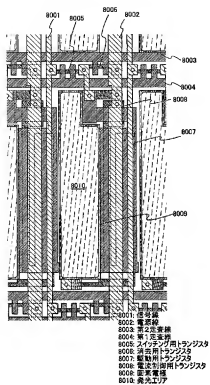
【図 11】



【図 12】



【図 17】



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード (参考)

G 0 9 G 3/20 6 8 0 G

G 0 9 G 3/30 J

G 0 9 G 3/30 K

H 0 5 B 33/14 A

(72)発明者 高野 圭恵

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

(72)発明者 山崎 優

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

(72)発明者 安西 彩

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

F ターム(参考) 3K007 AB02 AB17 BA06 DB03 GA04

5C080 AA06 BB05 DD28 EE29 FF11 JJ02 JJ03 JJ05 JJ06 KK02

KK43 KK47

5C094 AA03 AA37 AA53 BA03 BA27 CA19 DA09 DB01 FA01 FB14

GA10 HA08